

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

CLIPPEDIMAGE= JP410242414A  
PAT-NO: JP410242414A  
DOCUMENT-IDENTIFIER: JP 10242414 A  
TITLE: DYNAMIC SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: September 11, 1998

INVENTOR-INFORMATION:

NAME  
NAKAI, SATOSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP09046116  
APPL-DATE: February 28, 1997

INT-CL\_(IPC): H01L027/108; H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To properly suppress high concentration of a substrate and to improve a retention characteristic without increasing a manufacture process by including not only the transistors of a memory cell but also transistors used in a peripheral circuit and using p-type polysilicon as gate electrodes.

SOLUTION: Since a polysilicon film 32 constituting the gate electrodes of the respective transistors is formed by covering a silicon oxide film 30 and the polysilicon film 32 becoming the gate electrode in a subsequent stage is set to be the p-type polysilicon film, BF<SB>2</SB> ions are driven. Then, a silicon oxide film 34 is formed by covering the p-type polysilicon film 32. Then, a patterning processing for forming the gate electrode 32 of the nMOS transistor of the memory cell, the gate electrode 32b of the nMOS transistor of the

peripheral circuit and the gate electrode 32c of the pMOS transistor is executed. The respective source/drain areas of the nMOS transistors of the memory cell and the nMOS transistors of the peripheral circuit are formed.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242414

(43) 公開日 平成10年(1998) 9月11日

(51) Int. Cl.<sup>6</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

6 8 1 F

審査請求 未請求 請求項の数9 OL (全 11 頁)

(21) 出願番号

特願平9-46116

(22) 出願日

平成9年(1997) 2月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 中井 聡

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

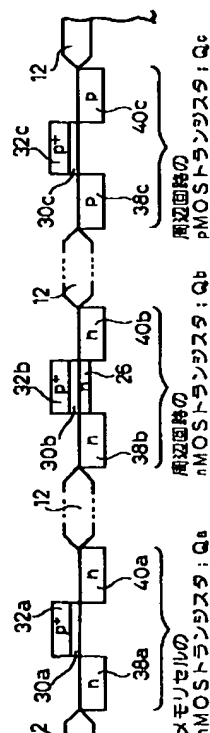
(54) 【発明の名称】 ダイナミック型半導体記憶装置

(57) 【要約】

【課題】 ダイナミック型半導体記憶装置において、全体の製造工程の増加を殆ど招くことなく、所望のしきい値電圧の実現のために必要とされる基板濃度の高濃度化を適正に抑制し、ひいてはリテンション特性の悪化を防止することを目的とする。

【解決手段】 メモリセルのnチャネルMIS (MOS) トランジスタQaのゲート電極32aをp型ポリシリコンで形成し、周辺回路のnチャネルMIS (MOS) トランジスタQb及びpチャネルMIS (MOS) トランジスタQcの各ゲート電極32b, 32cもp型ポリシリコンで形成するように構成する。

本発明の一実施形態に係るダイナミック型半導体記憶装置に示した断面図



## 【特許請求の範囲】

【請求項1】 電荷蓄積用のキャパシタ及び電荷転送用のnチャネルMISトランジスタを有するメモリセルと、該メモリセルの動作を制御するためのnチャネルMISトランジスタ及びpチャネルMISトランジスタを有する周辺回路とを備えたダイナミック型半導体記憶装置において、

前記メモリセルのnチャネルMISトランジスタのゲート電極がp型ポリシリコンで形成され、前記周辺回路のnチャネルMISトランジスタ及びpチャネルMISトランジスタの各ゲート電極もp型ポリシリコンで形成されていることを特徴とするダイナミック型半導体記憶装置。

【請求項2】 請求項1に記載のダイナミック型半導体記憶装置において、前記メモリセルのnチャネルMISトランジスタ及び前記周辺回路のnチャネルMISトランジスタ及びpチャネルMISトランジスタの各々のゲート絶縁膜の厚さが、1.5nmと10nmの間の範囲で選定されていることを特徴とするダイナミック型半導体記憶装置。

【請求項3】 請求項2に記載のダイナミック型半導体記憶装置において、前記各々のトランジスタのゲート絶縁膜の厚さが、好適には3nmと7nmの間の範囲で選定されていることを特徴とするダイナミック型半導体記憶装置。

【請求項4】 請求項3に記載のダイナミック型半導体記憶装置において、前記メモリセルのnチャネルMISトランジスタのチャネル領域は表面チャネルの形態で形成され、前記周辺回路のnチャネルMISトランジスタのチャネル領域は埋め込みチャネルの形態で形成され、前記周辺回路のpチャネルMISトランジスタのチャネル領域は表面チャネルの形態で形成されていることを特徴とするダイナミック型半導体記憶装置。

【請求項5】 請求項3に記載のダイナミック型半導体記憶装置において、前記メモリセルのnチャネルMISトランジスタ及び前記周辺回路のnチャネルMISトランジスタ及びpチャネルMISトランジスタの各々のゲート電極が、p型ポリシリコン層の上部に相対的に低抵抗の導電物質を堆積させた構造を有することを特徴とするダイナミック型半導体記憶装置。

【請求項6】 請求項5に記載のダイナミック型半導体記憶装置において、前記相対的に低抵抗の導電物質は、タングステンとシリコンからなるシリサイド化合物であることを特徴とするダイナミック型半導体記憶装置。

【請求項7】 請求項5に記載のダイナミック型半導体記憶装置において、前記相対的に低抵抗の導電物質は、チタンとシリコンからなるシリサイド化合物であることを特徴とするダイナミック型半導体記憶装置。

【請求項8】 請求項3に記載のダイナミック型半導体

縁膜がシリコン酸化膜で形成されていることを特徴とするダイナミック型半導体記憶装置。

【請求項9】 請求項3に記載のダイナミック型半導体記憶装置において、前記各々のトランジスタのゲート絶縁膜がシリコン酸化膜以外の材料で形成されている場合に、当該材料のシリコン酸化膜換算膜厚は、当該材料の膜厚×シリコン酸化膜の比誘電率/当該材料の比誘電率、で表されることを特徴とするダイナミック型半導体記憶装置。

## 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、情報の記憶にダイナミック型のメモリセルを使用する半導体記憶装置(DRAM)に係り、特に、DRAMに用いられる絶縁ゲート型電界効果トランジスタすなわちMIS(金属・絶縁物・半導体)トランジスタ、一般にはMOS(金属・酸化物・半導体)トランジスタ、のゲート電極の構成に関する。

【0002】とどまるところを知らないDRAMの高集積化に伴い、その内蔵デバイスであるMIS(MOS)トランジスタは、ますます微細化されていくことが要求されている。その一方で、セル面積の縮小に伴うトランジスタの微細化に起因して、トランジスタの所望のしきい値電圧を得るためには、セルが形成されている基板の濃度を高くする必要が生じている。しかし、この基板濃度をあまり高くし過ぎると、後述するようにリテンション特性が低下する(つまりデータ保持時間が規格値を満足できない)といった問題が生じる。そこで、かかる問題を招くことなく基板濃度の高濃度化を抑制する技術が要望されている。

## 【0003】

【従来の技術】先ず、基板濃度が高濃度化していく技術背景について説明する。よく知られているMOSTランジスタのスケーリング則では、電源電圧、チャネル長及びゲート酸化膜厚を1/K倍、基板濃度をK倍とすることにより、MOSTランジスタの内部電界は一定に保たれる。

【0004】しかし、DRAMのセルトランジスタ(一般にはnMOSTランジスタ)の場合は、該トランジスタがオフしている時のリーク電流を抑制する必要から、しきい値電圧をほぼ一定に保たなければならないという制約がある。このしきい値電圧( $V_{th}$ とする)は、当業者にはよく知られているように、以下の式で表される。

$$【0005】 V_{th} = V_{fb} + \phi_{si} + \gamma (\phi_{si} + V_{sb})^{1/2}$$

ここに、 $V_{fb}$ はゲート電極材料とゲート電極下の基板材料との仕事関数差で決まるフラットバンド電圧、 $\phi_{si}$ は表面ポテンシャル、 $\gamma$ は基板効果係数、 $V_{sb}$ は基板バイアス電圧を表しており、以下のように表される。

$$V_{fb} = -0.56 - \phi_f$$

$$\phi_{si} = 2\phi_f$$

$$\gamma = (2\epsilon_0 \cdot \epsilon_{si} \cdot q N_b)^{1/2} / C_{ox}$$

ここに、 $N_b$  は基板濃度、 $n_i$  は真性キャリア濃度、 $k$  はボルツマン定数、 $T$  は絶対温度、 $q$  は素電荷、 $\epsilon_0$  は真空の誘電率、 $\epsilon_{si}$  は基板の誘電率、 $C_{ox}$  はゲート酸化膜の容量（但し、単位面積当たりの容量）を表している。

【0006】なお、これらの関係式は、十分に高濃度化（例えば  $10^{26} \text{ m}^{-3}$  以上）した  $n$  型ポリシリコンをゲート電極として用い、また界面電荷が十分小さい時を想定したものである。また、 $S$ （サブスレッショルド）係数は、以下の式で表される。

$$S \approx 2.3 (kT/q) (1 + C_d / C_{ox})$$

ここに、 $C_d$  は空乏層容量（但し、単位面積当たりの容量）を表している。この空乏層容量  $C_d$  とゲート酸化膜の容量  $C_{ox}$  はそれぞれ以下のように表される。

$$C_d = \epsilon_0 \cdot \epsilon_{si} / X_d$$

$$C_{ox} = \epsilon_0 \cdot \epsilon_{ox} / t_{ox}$$

但し、 $X_d = \{2\epsilon_0 \cdot \epsilon_{si} (\phi_{si} + V_{sb}) / q N_b\}$  ここに、 $t_{ox}$  はゲート酸化膜の厚さ、 $X_d$  は空乏層の厚さを表している。ここで例えば、セルトランジスタの常温でのオフ時のリーク電流が、 $V_{gs}$ （ソースに対するゲート電圧） $= V_{th}$ （しきい値電圧）の時に流れる電流よりも、 $10$  桁小さいことを設計基準として設定する。

【0008】ここでは、基板バイアス電圧（ $V_{sb}$ ）として  $-1 \text{ V}$  印加した場合を考える。この設計基準を満たす解を計算機で求めると、ゲート酸化膜（ゲート絶縁膜）の厚さ  $t_{ox}$  と基板濃度  $N_b$  の関係として、図8に示すような関係を得ることができる。ところで、技術トレンドでは、DRAMの世代毎にゲート酸化膜が薄膜化していくことが知られている。このゲート酸化膜の薄膜化は、トランジスタの微細化に伴う短チャネル効果を抑制するために是非とも必要である。しかしそれでも、短チャネル効果を完全に抑制することはできず、ある程度のしきい値電圧  $V_{th}$  の低下と  $S$  係数の劣化を伴うことになる。これを補償するためには、実際には、図8に示す基板濃度よりも高い基板濃度が必要となる。

【0009】しかしその一方で、短チャネル効果を完全には抑制せずに、むしろ、多少は短チャネル効果が起きる領域を積極的に利用したい動機がある。すなわち、図9に一例として示されるように、基板バイアス電圧  $V_{sb}$  の変化（図示の例では、 $-3 \text{ V}$  から  $-1 \text{ V}$  への変化）に対するしきい値電圧  $V_{th}$  の変化は、チャネル長  $L$  が長い領域よりもチャネル長  $L$  が短い領域（つまり短チャネル効果が起きる領域）の方が、小さい（図示の例では  $\Delta V_1$  から  $\Delta V_2$  と小さくなっている）。つまり、短チャネル効果が起きれば、しきい値電圧の基板バイアス依存性が小さくなるというメリットがあるからである。

【0010】このような事情により、図8に示すように

濃度  $N_b$  が  $10^{23} \text{ m}^{-3}$  以上となり、極めて高濃度となってくる。もちろん、設計基準の設定の相違により、同じゲート酸化膜の厚さでも、もっと高い基板濃度を用いる選択もあるし、或いはもっと低い基板濃度を用いる選択もあることは当然である。

【0011】ここでは、一応のワーストケースとして、ゲート酸化膜の厚さが  $10 \text{ nm}$  以下の場合に高基板濃度となることを問題にする。基板濃度を必要以上に高くした場合の問題点としては、例えばリテンションタイムの低下がある。かかる問題点については、例えば、IED M95, p915 (T. Hamamoto, S. Sugiura, and S. Sawada) に言及されている。リテンションタイムの低下があると、前述した技術トレンド（DRAMの世代毎にゲート酸化膜が薄膜化すること）に追従することができない。そこで、DRAMの世代が進行しても、基板濃度の高濃度化を抑制する技術が必要となる。

【0012】従来、基板濃度の高濃度化を抑制する一つの技術として、メモリセルの選択を行うためのワード線の電位を非選択時に負の電位に固定化する、いわゆるマイナスイニシャル・リセット法が知られている。しかし、この方法は、回路的に複雑であり、またそのための制御も大変であるため、もっと簡便な方法があればそれに越したことはない。

【0013】次に考えられるのは、従来の技術ではメモリセルのMOSトランジスタを  $n$  チャネル型で形成し、この  $n$  チャネルMOSトランジスタ（以下、単に「 $n$  MOSトランジスタ」という。）を  $n$  型ゲートで構成していたが、この  $n$  型ゲートに代えて  $p$  型ゲートを適用するというものである。セルトランジスタに  $p$  型ゲートの  $n$  MOSトランジスタを用いた技術は、本件出願人が既に提案している（特願平7-181178号参照）。

【0014】この先行技術では、メモリセルの動作を制御するための周辺回路（ロウデコーダ、コラムデコーダ、コラムゲート等）に用いられている  $n$  MOSトランジスタ及び  $p$  チャネルMOSトランジスタ（同様に、単に「 $p$  MOSトランジスタ」という。）については、従来通り  $n$  型ゲートを採用しているが、セルトランジスタについては、しきい値電圧の基板バイアス依存性を抑制するために、 $p$  型ゲートを採用している。つまり、セルトランジスタに  $p$  型ゲートを適用することで基板濃度の高濃度化を抑制し、それによってしきい値電圧の基板バイアス依存性を抑えている。

【0015】

【発明が解決しようとする課題】上述したように、本件出願人による先行技術（特願平7-181178号）では、あくまで、しきい値電圧の基板バイアス依存性を抑えるための一つの手法として、セルトランジスタのみに  $p$  型ゲートを採用したものが記載されている。しかしながら、図9を参照して説明したように、しきい値電圧の

積極的に利用することで、相応に小さくすることができる。従って、単にしきい値電圧の基板バイアス依存性の抑制という理由からだけで、セルトランジスタにp型ゲートを採用しなければならないという程の強い動機はない。

【0016】また、この先行技術では、セルトランジスタはp型ゲートとし、周辺回路のトランジスタは従来通りn型ゲートを使うことに限定されている。従って、トランジスタのゲート電極を形成する際に、p型ゲートを作製するための工程とn型ゲートを作製するための工程（いわゆるゲートの作り分け）を必要とする。これは、メモリとしての全体の製造工程が複雑化するという問題をはき起こし、また大幅なコストアップにもつながるため、好ましくない。

【0017】本発明は、上述した従来技術における課題に鑑み創作されたもので、全体の製造工程の増加を殆ど招くことなく、所望のしきい値電圧の実現のために必要とされる基板濃度の高濃度化を適正に抑制し、ひいてはリテンション特性の向上を図ることができるダイナミック型半導体記憶装置を提供することを目的とする。

【0018】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明に係るダイナミック型半導体記憶装置においては、メモリセルのトランジスタのみならず、周辺回路に用いられているトランジスタも含めて、全てp型ポリシリコンをゲート電極として用いている。

【0019】しかし、これに伴って、周辺回路のトランジスタのしきい値電圧を所望の値とするためには、従来技術で用いられているn型ゲートの場合と同様のウエルプロファイルを用いることができなくなる。従って、所望のしきい値電圧を得るためには、しきい値電圧調整用のイオン注入（イオン打ち込みエネルギー及びドーズ量）の最適化を図らねばならない。これに関連して、場合によっては、周辺回路のnMOSTランジスタのチャネル領域をいわゆる「埋め込みチャネル」の形態で形成し、またpMOSTランジスタのチャネル領域を通常の表面チャネルの形態で形成するといったように、従来とは逆の設定を行うこともあり得る。

【0020】このように本発明によれば、用いられている全てのMOSTランジスタのゲート電極を単一の導電型（p型）としているので、従来例に見られたような「ゲートの作り分け」といった工程が不要となる。すなわち、前述の先行技術（特願平7-181178号）では、セルトランジスタのゲート電極はp型ポリシリコンであるのに対し、周辺回路のトランジスタのゲート電極はn型ポリシリコンであるので、それぞれのゲート電極は別工程で作製する必要がある。また、セルトランジスタ及び周辺回路のpMOSTランジスタのゲート電極をp型ポリシリコンで構成し、周辺回路のnMOSTラン

も考えられるが、この場合も別工程の製造プロセスが必要である。つまり、本発明では、少なくとも、ゲート電極を形成する工程については簡素化することができる。

【0021】メモリセルのnMOSTランジスタだけでなく、周辺回路のnMOSTランジスタ及びpMOSTランジスタも、ゲート電極をp型ポリシリコンで構成すると有利な点が更にある。すなわち、一般に、電子は正孔よりも移動度が大きいので、nMOSTランジスタの方がpMOSTランジスタより駆動力に優れる。n型ゲートを用いる場合、nMOSTランジスタは表面チャネル型、pMOSTランジスタは埋め込みチャネル型となるが、一般に埋め込みチャネル型は表面チャネル型に比べてしきい値電圧の絶対値を低く設定することができない。このことは、今後、低電圧化が進んでいくと、埋め込みチャネル型は表面チャネル型より駆動力が劣ることになる。以上の2点より、n型ゲートを用いる場合、pMOSTランジスタはnMOSTランジスタより駆動力がずっと劣ることになり、今後の低電圧化の下では、両者のアンバランスが著しくなる。そこで、p型ゲートを採用すると、上記2つの効果がある程度相殺され、バランスの良い方向となる。

【0022】また、メモリセルのトランジスタにp型ゲートを採用しているので、上述した先行技術（特願平7-181178号参照）にも記載されているように、基板濃度の高濃度化を抑制することができ、これによってしきい値電圧の基板バイアス依存性を抑えることが可能となる。そして、基板濃度の高濃度化抑制は、リテンション特性の悪化を阻止することに大いに寄与する。

【0023】

【発明の実施の形態】以下、添付図面を参照しながら本発明の実施形態について説明する。図1には本発明の一実施形態に係るダイナミック型半導体記憶装置における要部（トランジスタ）の断面構成が模式的に示される。図1において、12は各素子（すなわち、メモリセルのnMOSTランジスタQa、周辺回路のnMOSTランジスタQb及びpMOSTランジスタQc）を分離のためのフィールド絶縁膜を示す。

【0024】メモリセルのnMOSTランジスタQaは、ゲート絶縁膜30aと、このゲート絶縁膜30aを間に挟んでチャネル領域上に形成されたp型ゲート電極32aと、基板内でチャネル領域を挟んで両側に形成されたn型ソース領域38a及びn型ドレイン領域40aとを備えて構成されている。また、周辺回路のnMOSTランジスタQbは、ゲート絶縁膜30bと、基板表面に形成されたn型チャネル領域（埋め込みチャネル）26と、ゲート絶縁膜30bを間に挟んでn型チャネル領域26上に形成されたp型ゲート電極32bと、基板内でn型チャネル領域26を挟んで両側に形成されたn型ソース領域38b及びn型ドレイン領域40bとを備え

【0025】同様に、周辺回路のpMOSトランジスタQcは、ゲート絶縁膜30cと、このゲート絶縁膜30cを間に挟んでチャンネル領域上に形成されたp型ゲート電極32cと、基板内でチャンネル領域を挟んで両側に形成されたp型ソース領域38c及びp型ドレイン領域40cとを備えて構成されている。図2には本実施形態に係るダイナミック型半導体記憶装置の全体構成が概略的に示される。

【0026】図中、1は複数のワード線と複数のビット線がマトリクス状に配列されたメモリセルアレイを示し、各ワード線WL<sub>i</sub>と各ビット線BL<sub>j</sub>の交差部には、電荷蓄積用のキャパシタC及び電荷転送用のnMOSTランジスタQを有するダイナミック型メモリセルMCが設けられている。また、2は外部からのアドレス信号ADDに含まれるロウアドレス信号RADのバッファリングを行うロウアドレスバッファ、3は同じくアドレス信号ADDに含まれるコラムアドレス信号CADのバッファリングを行うコラムアドレスバッファ、4はロウアドレスバッファ2からのロウアドレス信号RADをデコードし、複数のワード線のいずれかを選択するためのロウデコーダ、5はコラムアドレスバッファ3からのコラムアドレス信号CADをデコードし、複数のビット線対のいずれか1対を選択するためのコラムデコーダ、6は選択されたワード線及びビット線につながるメモリセルから読み出されたデータをセンスし増幅するためのセンスアンプ(S/A)回路、7はコラムデコーダ5によって選択されたビット線対(例えばBL<sub>1</sub>, BLX<sub>1</sub>)を対応するデータ線対(DL<sub>1</sub>, DLX<sub>1</sub>)に接続するためのコラムゲート回路を示す。このコラムゲート回路7では、図示のように、コラムデコーダ5からのコラム信号に

【0027】図2の構成において、メモリセルMCを構成する電荷転送用のnMOSTランジスタQは、図1に示したメモリセルのnMOSTランジスタQaに相当する。また、コラムゲート回路7におけるnMOSTランジスタQ<sub>1</sub>(又はQX<sub>1</sub>)は、図1に示した周辺回路のnMOSTランジスタQbに相当する。なお、図2の構成では、図1に示した周辺回路のpMOSTランジスタQcに相当するトランジスタは、図示を省略してある。

【0028】図1に示したように、本実施形態の構成によれば、メモリセルのnMOSTランジスタQaのみならず、周辺回路に用いられているnMOSTランジスタQb及びpMOSTランジスタQcも含めて、全てのMOSTランジスタのゲート電極をp型のみとしているの

った工程が不要となり、少なくとも、ゲート電極を形成する工程について簡素化を図ることができる。

【0029】また、メモリセルのnMOSTランジスタQaにp型ゲートを採用しているので、本件出願人が提案した先行技術(特願平7-181178号参照)にも記載されているように、基板濃度の高濃度化を適正に抑制して、しきい値電圧の基板バイアス依存性を抑えることができる。そして、基板濃度の高濃度化抑制は、リテンション特性の悪化を阻止することに寄与する。

#### 10 【0030】

【実施例】以下、図1に示す実施形態における各トランジスタ(メモリセルのnMOSTランジスタQa、周辺回路のnMOSTランジスタQb及びpMOSTランジスタQc)の製造工程について、図3〜図7を参照しながら詳細に説明する。まず、図3を参照すると、ステップ(A)では、p型の半導体、例えばシリコン(Si)の基板10上に各トランジスタ素子を分離するためのフィールド絶縁膜(図示の例では、シリコン酸化膜; SiO<sub>2</sub>)12を形成する。これは、半導体基板10上で各トランジスタが形成される領域(活性領域)に、例えばシリコン窒化膜(図示せず)を形成し、活性領域以外の領域(非活性領域)を選択酸化することにより、実現される。

【0031】次のステップ(B)では、半導体基板10内に、メモリセルのnMOSTランジスタ及び周辺回路のnMOSTランジスタを形成するためのp型ウエル16を形成する。これは、周辺回路のpMOSTランジスタが形成される活性領域上にレジスト14を形成した後、基板全体に対してボロン(B)のイオン打ち込みを行うことにより、実現される。p型ウエル16を形成した後、レジスト14を除去する。

【0032】次のステップ(C)では、同様にして、半導体基板10内に、周辺回路のpMOSTランジスタを形成するためのn型ウエル20を形成する。これは、メモリセルのnMOSTランジスタ及び周辺回路のnMOSTランジスタが形成される活性領域上にレジスト18を形成した後、基板全体に対してリン(P)のイオン打ち込みを行うことにより、実現される。なお、本実施例ではリン(P)を用いたが、これに代えて砒素(As)を用いてもよい。同様にして、n型ウエル20を形成した後、レジスト18を除去する。

【0033】なお、ステップ(B)とステップ(C)とは、順序を逆にしてもよいことはもちろんである。また、ウエルを形成する工程とフィールド酸化膜を形成する工程とを逆の順序にしてもよいことももちろんである。次に、図4を参照すると、ステップ(D)では、基板全体に対して熱酸化によりシリコン酸化膜(SiO<sub>2</sub>)22を形成する。本実施例では、このシリコン酸化膜22の厚さを12nmとした。



OSトランジスタ及びpMOSTランジスタの各しきい値電圧を調整するために、チャネル・ドーパ処理を行う。これは、メモリセルのnMOSTランジスタが形成される活性領域上にレジスト24を形成した後、基板全体に対してリン(P)のイオン打ち込みを行うことにより、実現される。このイオン打ち込みは、エネルギーが20keVで、ドーズ量が $2.5 \times 10^{16} \text{ m}^{-2}$ の条件下で行った。

【0035】このステップ(E)では、ドーパントとしてn型の材料(リン)を用いているので、周辺回路のnMOSTランジスタのチャネル領域は、図示のように、ウエル16の導電型(p型)とは反対導電型(n型)の領域となり、埋め込みチャネル26が形成される。これに対し、周辺回路のpMOSTランジスタのチャネル領域は、ウエル20の導電型(n型)と同じ導電型の領域となり、通常の表面チャネルが形成される。なお、本実施例ではリン(P)を用いたが、これに代えて砒素(As)を用いてもよい。チャネル・ドーパ処理を行った後、レジスト24を除去する。

【0036】次のステップ(F)では、同様にして、メモリセルのnMOSTランジスタのしきい値電圧を調整するために、チャネル・ドーパ処理を行う。これは、周辺回路のnMOSTランジスタ及びpMOSTランジスタが形成される活性領域上にレジスト28を形成した後、基板全体に対してボロン(B)のイオン打ち込みを行うことにより、実現される。このイオン打ち込みは、エネルギーが20keVで、ドーズ量が $3 \times 10^{16} \text{ m}^{-2}$ の条件下で行った。

【0037】このステップ(F)では、ドーパントとしてp型の材料(ボロン)を用いているので、メモリセルのnMOSTランジスタのチャネル領域は、ウエル16の導電型(p型)と同じ導電型の領域となり、通常の表面チャネルが形成される。同様にして、チャネル・ドーパ処理を行った後、レジスト28を除去する。なお、ステップ(E)とステップ(F)とは、順序を逆にしてもよいことはもちろんである。

【0038】次に、図5を参照すると、ステップ(G)では、ステップ(D)で形成したシリコン酸化膜22を除去する。次のステップ(H)では、基板全体に対して熱酸化によりシリコン酸化膜( $\text{SiO}_2$ )30を形成する。このシリコン酸化膜30は各トランジスタのゲート絶縁膜を構成するもので、本実施例では、このシリコン酸化膜30の厚さを6.5nmとした。

【0039】次のステップ(I)では、上記シリコン酸化膜30を覆う形でポリシリコン膜(poly-Si)32を形成する。このポリシリコン膜32は各トランジスタのゲート電極を構成するもので、本実施例では、このポリシリコン膜32の厚さを150nmとした。次に、図6を参照すると、ステップ(J)では、後の段階

リシリコン膜とするための処理を行う。これは、ポリシリコン膜32に対して弗化ボロン( $\text{BF}_3$ )のイオン打ち込みを行うことにより、実現される。このイオン打ち込みは、エネルギーが20keVで、ドーズ量が $5 \times 10^{19} \text{ m}^{-2}$ の条件下で行った。なお、用いるイオンとしてはボロン(B)のみでも可能であるが、ボロン(B)は極めて軽いために、十分に低いエネルギーで打ち込まないと、基板に到達してしまう。そこで、本実施例では、他に影響を及ぼさない弗素(F)にボロン(B)を結合させて用いた。

【0040】次のステップ(K)では、上記p型ポリシリコン膜32を覆う形でシリコン酸化膜( $\text{SiO}_2$ )34を形成する。本実施例では、このシリコン酸化膜34の厚さを100nmとした。次のステップ(L)では、メモリセルのnMOSTランジスタのゲート電極32a、周辺回路のnMOSTランジスタのゲート電極32b及びpMOSTランジスタのゲート電極32cを形成するためのパターニング処理を行う。これは、ゲート電極として残しておくべきp型ポリシリコン膜の部分に対応するシリコン酸化膜34a、34b及び34c上にマスク(図示せず)を形成した後、エッチング等を施すことにより、実現される。

【0041】最後に、図7を参照すると、ステップ(M)では、メモリセルのnMOSTランジスタ及び周辺回路のnMOSTランジスタの各ソース/ドレイン領域を形成する。これは、周辺回路のpMOSTランジスタが形成される活性領域上にレジスト36を形成した後、基板全体に対してリン(P)のイオン打ち込みを行うことにより、実現される。このイオン打ち込みは、エネルギーが20keVで、ドーズ量が $1 \times 10^{17} \text{ m}^{-2}$ の条件下で行った。

【0042】このステップ(M)により、メモリセルのnMOSTランジスタのn型ソース領域38a及びn型ドレイン領域40aと、周辺回路のnMOSTランジスタのn型ソース領域38b及びn型ドレイン領域40bが形成される。なお、本実施例ではリン(P)を用いたが、これに代えて砒素(As)を用いてもよい。このソース/ドレイン領域を形成した後、レジスト36を除去する。

【0043】次のステップ(N)では、同様にして、周辺回路のpMOSTランジスタのソース/ドレイン領域を形成する。これは、メモリセルのnMOSTランジスタ及び周辺回路のnMOSTランジスタが形成される活性領域上にレジスト42を形成した後、基板全体に対して弗化ボロン( $\text{BF}_3$ )のイオン打ち込みを行うことにより、実現される。このイオン打ち込みは、エネルギーが20keVで、ドーズ量が $1 \times 10^{17} \text{ m}^{-2}$ の条件下で行った。

【0044】このステップ(N)により、周辺回路のp

レイン領域40cが形成される。なお、ステップ(M)とステップ(N)とは、順序を逆にしてもよいことはもちろんである。最後のステップ(P)では、レジスト42を除去する。これによって、メモリセルのnMOSTランジスタにp型ゲートを使用し、且つ、周辺回路のnMOSTランジスタ及びpMOSTランジスタにもそれぞれp型ゲートを使用したメモリが作製されたことになる。

【0045】プロセス・シミュレーション及びデバイス・シミュレーションの結果、メモリセルのnMOSTランジスタのチャネル付近の濃度は $2 \times 10^{23} \text{ m}^{-3}$ で、ゲート長を $0.18 \mu\text{m}$ とした時、しきい値電圧は $1.3 \text{ V}$  (基板バイアス電圧;  $-1 \text{ V}$ )と、容易に十分大きな値を得ることができた。また、周辺回路のnMOSTランジスタについては、ゲート長を $0.3 \mu\text{m}$ とした時、しきい値電圧は $0.4 \text{ V}$  (基板バイアス電圧;  $-1 \text{ V}$ )であった。また、周辺回路のpMOSTランジスタについては、ゲート長を $0.3 \mu\text{m}$ とした時、しきい値電圧は $0.7 \text{ V}$  (基板バイアス電圧;  $1 \text{ V}$ )であった。

【0046】なお、上述した実施例ではゲート絶縁膜の厚さを $6.5 \text{ nm}$ としたが(ステップ(H)参照)、このゲート絶縁膜の厚さとしては、 $1.5 \text{ nm} \sim 10 \text{ nm}$ の間の範囲、好適には $3 \text{ nm} \sim 7 \text{ nm}$ の範囲で選定するのが適当である。この場合の下限值( $1.5 \text{ nm}$ )は、例えばIEDM96, p105に記載された内容から決めたものであり、また上限値( $10 \text{ nm}$ )は、本発明の従来技術の内容から決めたものである。

【0047】また、上述した実施例では比較的低濃度のソース/ドレイン領域を形成した場合について説明したが、更にこの後のステップで、当業者には周知の様々な処理を適宜追加してもよいことはもちろんである。例えば、各ゲート電極(32a、32b及び32c)及びその上に形成された各シリコン酸化膜(34a、34b及び34c)の側面に、別のシリコン酸化膜( $\text{SiO}_2$ )又はシリコン窒化膜( $\text{SiN}$ )を付着させてサイドウォールスペーサを形成し、その後、各ソース/ドレイン領域へより高濃度の不純物注入を行うことで、ライトリー・ドーブト・ドレイン(LDD)構造とすることへの発展が考えられる。

【0048】また、上述した実施例の変形例として、各ゲート電極(32a、32b及び32c)を構成するp型ポリシリコン層の上部に相対的に低抵抗の導電物質(例えば、タングステン(W)とシリコン(Si)からなるシリサイド化合物、チタン(Ti)とシリコン(Si)からなるシリサイド化合物)を堆積させた構造を採用することも可能である。かかる構造とすることにより、ゲート電極全体の抵抗が下がるので、消費電力の低減化及び動作速度の向上を図ることができる。

【0049】さらに、上述した実施例ではゲート絶縁膜

が、ゲート絶縁膜をシリコン酸化膜以外の材料で形成するようにしてもよい。特に、p型ゲート中のボロン(B)がゲート絶縁膜を通して基板中に拡散することを防止するために、シリコン窒化膜( $\text{SiN}$ )やシリコン酸窒化膜( $\text{SiON}$ )等を用いるのが好ましい。この場合、当該材料で形成されるゲート絶縁膜の厚さは、前述したようにシリコン酸化膜に換算して $1.5 \text{ nm} \sim 10 \text{ nm}$ の間の範囲で選定され、また、シリコン酸化膜に対する換算膜厚は、当該材料の膜厚 $\times$ シリコン酸化膜の比誘電率/当該材料の比誘電率、で表される。

【0050】

【発明の効果】以上説明したように本発明によれば、用いられている全てのMOSTランジスタのゲート電極をp型とすることにより、全体の製造工程の増加を殆ど招くことなく、所望のしきい値電圧の実現のために必要とされる基板濃度の高濃度化を適正に抑制することができる。これによって、リテンション特性の悪化を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るダイナミック型半導体記憶装置における要部(トランジスタ)の構成を模式的に示した断面図である。

【図2】本発明の一実施形態に係るダイナミック型半導体記憶装置の全体構成を概略的に示したブロック図である。

【図3】図1に示される各トランジスタの製造工程を示す断面図(その1)である。

【図4】図1に示される各トランジスタの製造工程を示す断面図(その2)である。

【図5】図1に示される各トランジスタの製造工程を示す断面図(その3)である。

【図6】図1に示される各トランジスタの製造工程を示す断面図(その4)である。

【図7】図1に示される各トランジスタの製造工程を示す断面図(その5)である。

【図8】ゲート絶縁膜の厚さと基板濃度の関係を示す図である。

【図9】チャネル長に対するしきい値電圧の基板バイアス依存性を説明するための図である。

【符号の説明】

Qa…メモリセルのnMOSTランジスタ

Qb…周辺回路のnMOSTランジスタ

Qc…周辺回路のpMOSTランジスタ

12…素子分離のためのフィールド絶縁膜(酸化膜)

26…n型チャネル領域(埋め込みチャネル)

30a, 30b, 30c…ゲート絶縁膜

32a, 32b, 32c…p型ゲート電極

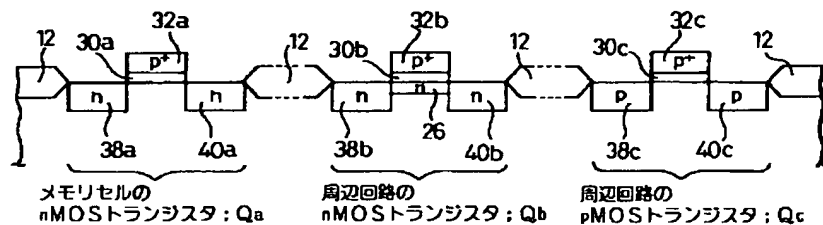
38a, 38b…n型ソース領域

38c…p型ソース領域

40c...p型ドレイン領域

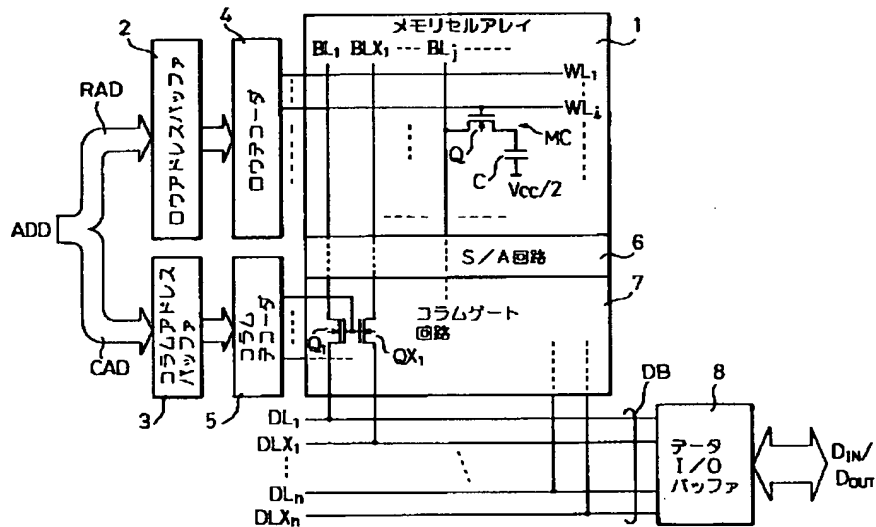
【図1】

本発明の一実施形態に係るダイナミック型半導体記憶装置における要部（トランジスタ）の構成を模式的に示した断面図



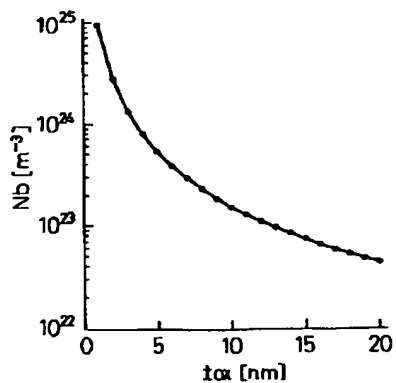
【図2】

本発明の一実施形態に係るダイナミック型半導体記憶装置の全体構成を模式的に示したブロック図



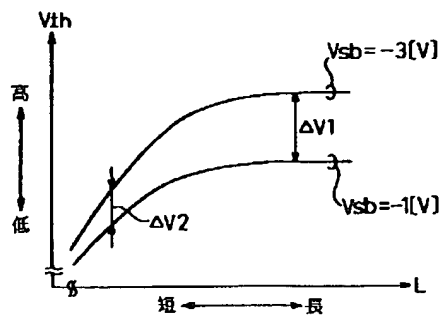
【図8】

ゲート絶縁膜の厚さと基板濃度の関係を示す図



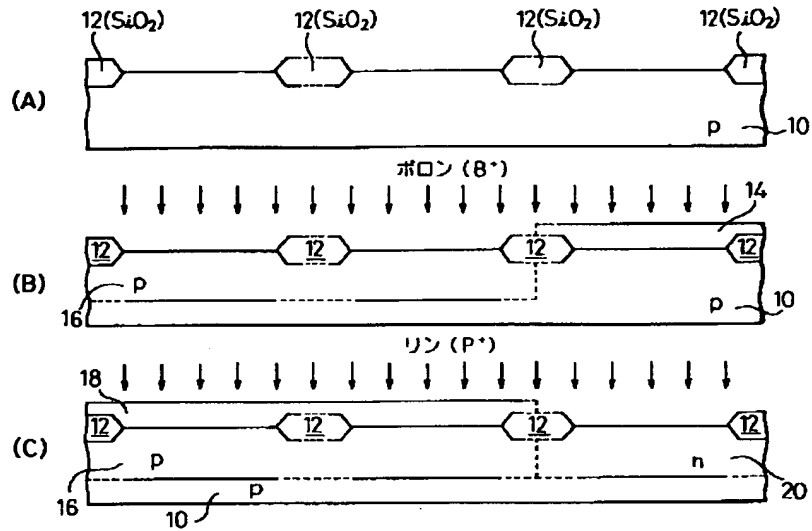
【図9】

チャネル長に対するしきい値電圧の基板バイアス依存性を説明するための図



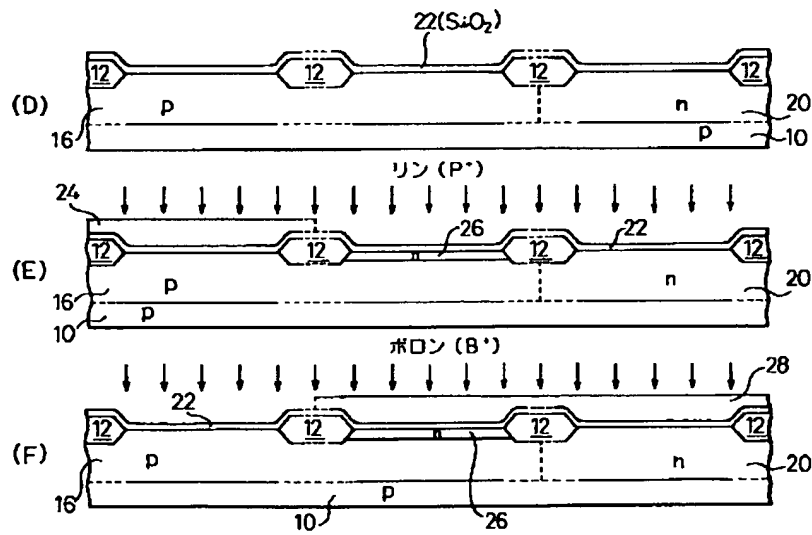
【図3】

図1に示される各トランジスタの製造工程を示す断面図  
(その1)



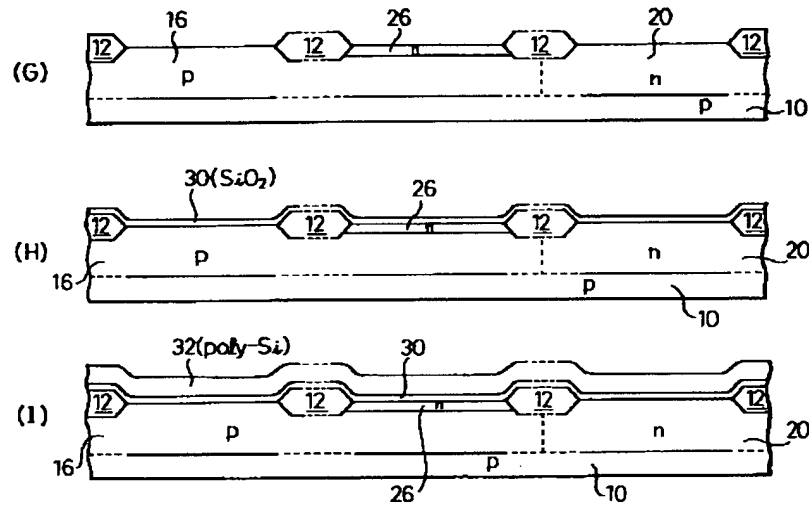
【図4】

図1に示される各トランジスタの製造工程を示す断面図  
(その2)



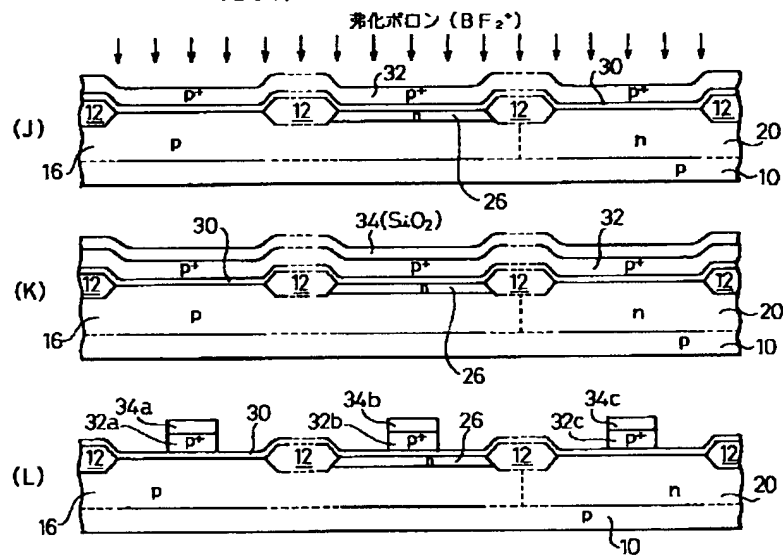
【図5】

図1に示される各トランジスタの製造工程を示す断面図  
(その3)



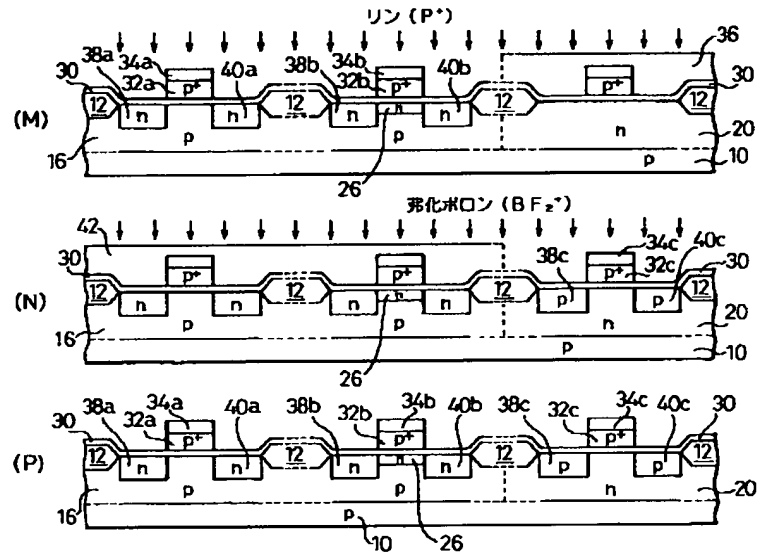
【図6】

図1に示される各トランジスタの製造工程を示す断面図  
(その4)



【図7】

図1に示される各トランジスタの製造工程を示す断面図  
(その5)



## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] the insulated gate field effect transistor, i.e., MIS (metal, insulator, and semiconductor) transistor, which this invention requires for the semiconductor memory (DRAM) which uses a dynamic type memory cell for informational storage, and is especially used for DRAM -- generally it is related with the configuration of the gate electrode of MOS (metal, oxide, and semiconductor) transistor \*\*

[0002] In connection with the high integration of DRAM which does not know the place which remains, it is required that MIS (MOS) transistor which is the built-in device is increasingly made detailed. In order to originate in detailed-ization of the transistor accompanied by reduction of cell area and to, obtain the threshold voltage of a request of a transistor on the other hand, it will be necessary to make high concentration of the substrate in which the cell is formed. However, if this substrate concentration is made not much high too much, the problem that a retention property falls so that it may mention later (that is, data-hold time cannot satisfy a specification value) will arise. Then, the technique which suppresses high concentration-ization of substrate concentration is demanded, without causing such a problem.

[0003]

[Description of the Prior Art] First, the technical background which substrate concentration high-concentration-izes is explained. In the scaling law of the MOS transistor known well, the internal field of an MOS transistor is kept constant by making supply voltage, channel length, and a gate oxidization thickness into 1/K time, and making substrate concentration into K times.

[0004] However, in the case of the cell transistor (generally nMOS transistor) of DRAM, there is constraint that a threshold voltage must be kept almost constant, from the need of suppressing a leakage current when this transistor turns off. This threshold voltage (referred to as  $V_{th}$ ) is expressed with the following formulas to this contractor as known well.

[0005]  $V_{th} = V_{fb} + \phi_{si} + \gamma (\phi_{si} + V_{sb})^{1/2}$  -- a surface potential and  $\gamma$  express the number of substrate sound effects men,  $V_{sb}$  expresses substrate bias voltage, and the flat band voltage and  $\phi_{si}$  to which  $V_{fb}$  is decided by the work function difference of a gate electrode material and the substrate material under a gate electrode here are expressed as follows  
 $V_{fb} = -0.56 - \phi_{hi} \phi_{fi} = (kT/q) \ln (N_b/n_i)$

$\phi_{si} = 2\phi_{hi} \gamma = (2\epsilon_{si} / q N_b) (1/2 / C_{ox})$  -- here --  $N_b$  Substrate concentration and  $n_i$  intrinsic carrier concentration and  $k$  -- a Boltzmann's constant and  $T$  -- absolute temperature and  $q$  -- \*\*\*\*\* and  $\epsilon_{si}$  A dielectric constant of vacuum and  $\epsilon_{si}$  express the dielectric constant of a substrate, and  $C_{ox}$  expresses the capacity (however, capacity per unit area) of a gate oxide film.

[0006] In addition, a phase boundary charge assumes the time of the parvus enough, using contest n type polysilicon which fully high-concentration-ized such relational expression (3 or more [ for example, / 1026m - ]) as a gate electrode. Moreover, S (sub threshold level) coefficient is expressed with the following formulas.

$S^{*2.3} (1 + C_d / C_{ox}) (kT/q)$

Here, it is  $C_d$ . The depletion layer capacitance (however, capacity per unit area) is expressed. This depletion layer capacitance  $C_d$  The capacity  $C_{ox}$  of a gate oxide film is expressed as follows, respectively.

[0007]  $C_d = \epsilon_{si} / X_d$  and  $C_{ox} = \epsilon_{ox} / t_{ox}$ , however  $X_d = \{ 2\epsilon_{si} / q N_b \}$

Here,  $t_{ox}$  is the thickness of a gate oxide film, and  $X_d$ . The thickness of a depletion layer is expressed. The leakage current at the time of OFF in the ordinary temperature of for example, a cell transistor sets up as a design basis that it is smaller than the current which flows at the time of  $V_{gs}$  (gate voltage to the source) =  $V_{th}$  (threshold voltage) 10 figures here.

[0008] Here, the case where it impresses -1 V as substrate bias voltage ( $V_{sb}$ ) is considered. If the solution with which this design basis is filled is calculated by the computer, it is the thickness  $t_{ox}$  and the substrate concentration  $N_b$  of a gate oxide film (gate insulator layer). A relation which is shown in drawing 8 can be obtained as a relation. By the way, it is known for the technical trend that a gate oxide film will thin-film-ize for every generation of DRAM. This gate oxide film surely needs to be thin-film-ized, in order to suppress the short channel effect accompanied by detailed-izing of a transistor. However, still, a short channel effect cannot be suppressed completely but it will be accompanied by a fall of a certain amount of threshold voltage  $V_{th}$ , and degradation of S coefficient. In order to compensate this, substrate concentration higher in fact than the substrate concentration shown in drawing 8 is needed.

[0009] However, some have rather a motive to use positively the field where a short channel effect occurs, without on the other

hand suppressing a short channel effect completely. That is, for change of  $V_{th}$  as opposed to [ as shown in drawing 9 as an example ] change (from  $V$  to  $-1$  [ The example of illustration -3 ] change to  $V$ ) of the substrate bias voltage  $V_{sb}$  of the threshold voltage  $V_{th}$ , the direction of the field (that is, field where a short channel effect occurs) where channel-length  $L$  is shorter than the field where channel-length  $L$  is long is the parvus (in the example of illustration, it is small with  $\Delta V_1$  to  $\Delta V_2$ ). That is, if a short channel effect occurs, it is because there is a merit that the substrate bias dependency of a threshold voltage becomes small.

[0010] If the thickness  $t_{ox}$  of a gate oxide film is set to 10nm or less according to such a situation as shown in drawing 8, it is the substrate concentration  $N_b$ . It becomes three or more [ 1023m<sup>-3</sup> ], and becomes high concentration extremely. Of course, there is also selection using higher substrate concentration also by the same thickness of a gate oxide film by difference of a setup of a design basis, or the selection using lower substrate concentration of a certain thing is also natural.

[0011] Here, as a first worst case, when the thickness of a gate oxide film is 10nm or less, it makes to become high substrate concentration into a problem. As a trouble at the time of making substrate concentration high beyond the need, there is a fall of a retention time, for example. About such a trouble, reference is made by IEDM95 and p915 (T.Hamamoto, S.Sugiura, and S.Sawada), for example. If there is a fall of a retention time, the technical trend (a gate oxide film should thin-film-ize for every generation of DRAM) mentioned above cannot be followed. Then, even if the generation of DRAM advances, the technique which suppresses high concentration-ization of substrate concentration is needed.

[0012] Conventionally, the so-called minus resetting method which fixes the potential of the word line for choosing a memory cell in an electronegative potential at the time of un-choosing is learned as one technique which suppresses high concentration-ization of substrate concentration. However, this technique is complicated in circuit, and if the control for it also comes out very much and there is simpler technique for a certain reason, it will not have been exceeded to it.

[0013] Next, although the MOS transistor of a memory cell was formed with the n channel type and this n channel MOS transistor (only henceforth "nMOS transistor") was constituted from a prior art at n type gate, the thing of replacing with this n type gate and applying p type gate is considered. This applicant has already proposed the technique which used nMOS transistor of p type gate for the cell transistor (refer to Japanese Patent Application No. 181178 [ seven to ]).

[0014] Although n type gate is adopted as usual in this advanced technology about nMOS transistor and the p channel MOS transistor (it is only similarly called "pMOS transistor") which are used for the circumference circuits (a low decoder, a column decoder, column gate, etc.) for controlling an operation of a memory cell, in order to suppress the substrate bias dependency of a threshold voltage, p type gate is adopted about the cell transistor. That is, high concentration-ization of substrate concentration is suppressed by applying p type gate to a cell transistor, and the substrate bias dependency of a threshold voltage is suppressed by it.

[0015]

[Problem(s) to be Solved by the Invention] As mentioned above, what adopted p type gate only as the cell transistor is indicated to the last as one technique for suppressing the substrate bias dependency of a threshold voltage by the advanced technology (Japanese Patent Application No. 181178 [ seven to ]) by this applicant. However, as explained with reference to drawing 9, the substrate bias dependency of a threshold voltage can be suitably made small by using positively the field where a short channel effect occurs. Therefore, only since it is only called suppression of the substrate bias dependency of a threshold voltage, there is no motive strong like it says that p type gate must be adopted as a cell transistor.

[0016] Moreover, in this advanced technology, a cell transistor is made into p type gate, and the transistor of a circumference circuit is limited to using n type gate as usual. Therefore, in case the gate electrode of a transistor is formed, the process (structure division of the so-called gate) for producing the process and n type gate for producing p type gate is needed. In order for this to start the problem that the manufacturing process as [ whole ] memory is complicated and to lead also to a steep cost rise, it is not desirable.

[0017] this invention aims at offering the dynamic type semiconductor memory which can suppress high concentration-ization of the substrate concentration needed for implementation of a desired threshold voltage proper, as a result can aim at enhancement in a retention property, without having been created in view of the technical problem in the conventional technique mentioned above, and causing most increases in the whole manufacturing process.

[0018]

[Means for Solving the Problem] In order to solve the technical problem of the conventional technique mentioned above, in the dynamic type semiconductor memory concerning this invention, contest p type polysilicon is altogether used as a gate electrode not only including the transistor of a memory cell but including the transistor used for the circumference circuit.

[0019] however, the well same in order to make the threshold voltage of the transistor of a circumference circuit into a desired value in connection with this as the case of n type gate used with the conventional technique -- it becomes impossible to use a profile. Therefore, in order to obtain a desired threshold voltage, you have to attain an optimization of the ion implantation for threshold voltage adjustment (ion implantation energy and dose). As it said that the channel field of nMOS transistor of a circumference circuit was formed with the gestalt of the so-called "embedding channel", and the channel field of pMOS transistor was formed with the gestalt of a usual surface channel by the case in relation to this, a setup contrary to the former can be performed.

[0020] Thus, since the gate electrode of all MOS transistors used is made into the single conductivity type (p type) according to this invention, the process of "a structure division of the gate" which was looked at by the conventional example becomes unnecessary. That is, with the above-mentioned advanced technology (Japanese Patent Application No. 181178 [ seven to ]), to the gate electrode of a cell transistor being contest p type polysilicon, since the gate electrode of the transistor of a circumference



circuit is contest n type polysilicon, it is necessary to produce each gate electrode at another process. Moreover, although constituting the gate electrode of a cell transistor and pMOS transistor of a circumference circuit from contest p type polysilicon, and constituting the gate electrode of nMOS transistor of a circumference circuit from contest n type polysilicon is also considered, the manufacture process of another process is required also in this case. That is, in this invention, it can simplify at least about the process which forms a gate electrode.

[0021] When not only nMOS transistor of a memory cell but nMOS transistor and pMOS transistor of a circumference circuit constitute a gate electrode from contest p type polysilicon, they have an advantageous point further. That is, generally, since mobility is larger than an electron hole, an electron excels [ transistor / nMOS ] pMOS transistor in driving force. When using n type gate, although nMOS transistor serves as an embedding channel type, generally it does not embed a surface channel type and pMOS transistor, and a channel type cannot be compared with a surface channel type, and cannot set up the absolute value of a threshold voltage low. When, as for this, low-battery-ization will progress from now on, driving force will be inferior to a surface channel type in an embedding channel type. From the above two points, when using n type gate, pMOS transistor will be inferior to nMOS transistor in driving force much, and both imbalance becomes remarkable under future low-battery-izing. Then, if p type gate is adopted, the two above-mentioned effects will be offset to some extent, and will serve as the good orientation of a balance.

[0022] Moreover, since p type gate is adopted as the transistor of a memory cell, high concentration-ization of substrate concentration can be suppressed and it is enabled to suppress the substrate bias dependency of a threshold voltage by this as indicated by the advanced technology (refer to Japanese Patent Application No. 181178 [ seven to ] ) mentioned above. And it greatly contributes to high concentration-ized suppression of substrate concentration preventing aggravation of a retention property.

[0023]

[Embodiments of the Invention] Hereafter, the operation gestalt of this invention is explained, referring to an accompanying drawing. The cross-section configuration of the important section (transistor) in the dynamic type semiconductor memory concerning the 1 operation gestalt of this invention is typically shown in drawing 1 . In drawing 1 , 12 shows the field insulator layer for a separation of each element (namely, the nMOS transistor Qb and the pMOS transistor Qc of nMOS transistor Qa of a memory cell, and a circumference circuit).

[0024] The nMOS transistor Qa of a memory cell is equipped with gate insulator layer 30a, p type gate electrode 32a formed on the channel field on both sides of this gate insulator layer 30a in between, and n type source field 38a and n type drain field 40a which were formed in both sides across the channel field within the substrate, and is constituted. Moreover, the nMOS transistor Qb of a circumference circuit is equipped with gate insulator layer 30b, the n type channel field (embedding channel) 26 formed in the substrate front face, p type gate electrode 32b formed on the n type channel field 26 on both sides of gate insulator layer 30b in between, and n type source field 38b and n type drain field 40b which were formed in both sides across the n type channel field 26 within the substrate, and is constituted.

[0025] Similarly, the pMOS transistor Qc of a circumference circuit is equipped with gate insulator layer 30c, p type gate electrode 32c formed on the channel field on both sides of this gate insulator layer 30c in between, and p type source field 38c and p type drain field 40c which were formed in both sides across the channel field within the substrate, and is constituted. The whole dynamic type semiconductor-memory configuration concerning this operation gestalt is roughly shown in drawing 2 .

[0026] Among drawing, one shows the memory cell array by which two or more word lines and two or more bit lines were arranged in the shape of a matrix, and dynamic type memory cell managing contractor which has capacitor C for a charge store and nMOS transistor Q for a charge transfer is prepared in the intersection of each word line WL<sub>i</sub> and each bit line BL<sub>j</sub>. Moreover, the low address buffer which buffers row-address signal RAD by which 2 is contained in address signal ADD from the exterior, The column address buffer which buffers column address signal CAD by which 3 is similarly contained in address signal ADD, 4 decodes row-address signal RAD from the low address buffer 2. The low decoder for choosing either of two or more word lines and 5 decode column address signal CAD from the column address buffer 3. The column decoder for choosing any bit line pairs [ two or more one pairs of ], The sense amplifier (S/A) circuit for 6 sensing and amplifying the data read from the memory cell connected with the selected word line and the selected bit line, 7 shows the column gate circuit for connecting to a corresponding data-line pair (DL<sub>1</sub>, DLX<sub>1</sub>) the bit line pair (for example, BL<sub>1</sub> and BLX<sub>1</sub>) chosen by the column decoder 5. In this column gate circuit 7, one pair of nMOS transistors (Q<sub>1</sub> and QX<sub>1</sub>) which answer a column signal from the column decoder 5 are prepared to one pair of corresponding bit lines like illustration. moreover, each data line DL<sub>1</sub> and DLX<sub>1</sub> - DL<sub>n</sub> and DLX<sub>n</sub> (data bus DB) -- the data I/O (I/O) buffer 8 -- minding -- data I/O edges DIN/DOU<sub>T</sub> It connects.

[0027] In the configuration of drawing 2 , nMOS transistor Q for a charge transfer which constitutes memory cell managing contractor is equivalent to the nMOS transistor Qa of a memory cell shown in drawing 1 . Moreover, the nMOS transistor Q<sub>1</sub> (or QX<sub>1</sub>) in the column gate circuit 7 is equivalent to the nMOS transistor Qb of the circumference circuit shown in drawing 1 . In addition, with the configuration of drawing 2 , the transistor equivalent to the pMOS transistor Qc of the circumference circuit shown in drawing 1 has omitted illustration.

[0028] Since the gate electrode of all MOS transistors is used only as p type not only including the nMOS transistor Qa of a memory cell but including the nMOS transistor Qb and the pMOS transistor Qc which are used for the circumference circuit according to the configuration of this operation gestalt as shown in drawing 1 , the process of "a structure division of the gate" which was conventionally looked at by type becomes unnecessary, and simplification can be attained at least about the process which forms a gate electrode.

[0029] Moreover, since p type gate is adopted as the nMOS transistor Qa of a memory cell, high concentration-ization of substrate concentration can be suppressed proper and the substrate bias dependency of a threshold voltage can be suppressed as indicated by the advanced technology (refer to Japanese Patent Application No. 181178 [ seven to ]) which this applicant proposed. And it contributes to high concentration-ized suppression of substrate concentration preventing aggravation of a retention property.

[0030]

[Example] Hereafter, the manufacturing process of each transistor (the nMOS transistor Qb and the pMOS transistor Qc of nMOS transistor Qa of a memory cell and a circumference circuit) in the operation gestalt shown in drawing 1 is explained in detail, referring to drawing 3 - view 7. First, reference of drawing 3 forms the field insulator layer (the example of illustration silicon-oxide; SiO<sub>2</sub>) 12 for separating each transistor element on the p type semiconductor 10, for example, the substrate of silicon (Si), at a step (A). This forms for example, a silicon nitride (not shown) in the field (active region) in which each transistor is formed on the semiconductor substrate 10, and is realized by carrying out the selective oxidation of the fields other than an active region (non-active region).

[0031] At the following step (B), in order to form nMOS transistor of a memory cell, and nMOS transistor of a circumference circuit in the semiconductor substrate 10, a well 16 is formed p mold. This is realized by performing the ion implantation of boron (B) to the whole substrate, after forming a resist 14 on the active region in which pMOS transistor of a circumference circuit is formed. A resist 14 is removed after forming a well 16 p mold.

[0032] At the following step (C), similarly, in order to form pMOS transistor of a circumference circuit in the semiconductor substrate 10, a well 20 is formed n mold. This is realized by performing the ion implantation of Lynn (P) to the whole substrate, after forming a resist 18 on the active region in which nMOS transistor of a memory cell and nMOS transistor of a circumference circuit are formed. In addition, although Lynn (P) was used in this example, it may replace with this and an arsenic (As) may be used. Similarly, a resist 18 is removed after forming a well 20 n molds.

[0033] In addition, the step (B) and the step (C) of sequence being made reverse are natural. Moreover, of course, you may also make into a reverse order the process which forms a well, and the process which forms a field oxide film. Next, reference of drawing 4 forms a silicon oxide (SiO<sub>2</sub>) 22 by thermal oxidation to the whole substrate at a step (D). Thickness of this silicon oxide 22 was set to 12nm in this example.

[0034] At the following step (E), in order to adjust each threshold voltage of nMOS transistor of a circumference circuit, and pMOS transistor, channel dope processing is performed. This is realized by performing the ion implantation of Lynn (P) to the whole substrate, after forming a resist 24 on the active region in which nMOS transistor of a memory cell is formed. Energy is 20keVs and the dose performed this ion implantation under the condition of  $2.5 \times 10^{16} \text{m}^{-2}$ .

[0035] At this step (E), since the n type material (Lynn) is used as a dopant, the channel field of nMOS transistor of a circumference circuit turns into the field of an opposite conductivity type (n type) with the conductivity type (p type) of a well 16 like illustration, and the embedding channel 26 is formed. On the other hand, the channel field of pMOS transistor of a circumference circuit turns into the conductivity type (n type) of a well 20, and the field of the same conductivity type, and a usual surface channel is formed. In addition, although Lynn (P) was used in this example, it may replace with this and an arsenic (As) may be used. A resist 24 is removed after performing channel dope processing.

[0036] At the following step (F), similarly, in order to adjust the threshold voltage of nMOS transistor of a memory cell, channel dope processing is performed. This is realized by performing the ion implantation of boron (B) to the whole substrate, after forming a resist 28 on the active region in which nMOS transistor and pMOS transistor of a circumference circuit are formed. Energy is 20keVs and the dose performed this ion implantation under the condition of  $3 \times 10^{16} \text{m}^{-2}$ .

[0037] At this step (F), since the p type material (boron) is used as a dopant, the channel field of nMOS transistor of a memory cell turns into the conductivity type (p type) of a well 16, and the field of the same conductivity type, and a usual surface channel is formed. Similarly, a resist 28 is removed after performing channel dope processing. In addition, the step (E) and the step (F) of sequence being made reverse are natural.

[0038] Next, reference of drawing 5 removes the silicon oxide 22 formed at the step (D) at a step (G). At the following step (H), a silicon oxide (SiO<sub>2</sub>) 30 is formed by thermal oxidation to the whole substrate. This silicon oxide 30 constitutes the gate insulator layer of each transistor, and set thickness of this silicon oxide 30 to 6.5nm in this example.

[0039] At the following step (I), the polysilicon contest layer (poly-Si) 32 is formed for the above-mentioned silicon oxide 30 with a wrap form. This polysilicon contest layer 32 constitutes the gate electrode of each transistor, and set thickness of this polysilicon contest layer 32 to 150nm in this example. Next, reference of drawing 6 performs processing for using as a "p type" polysilicon contest layer the polysilicon contest layer 32 which serves as a gate electrode in a next phase at a step (J). This is realized by performing the ion implantation of fluoridation boron (BF<sub>2</sub>) to the polysilicon contest layer 32. Energy is 20keVs and the dose performed this ion implantation under the condition of  $5 \times 10^{19} \text{m}^{-2}$ . In addition, although it is also possible boron (B) To accept it as ion to use, since it is very light, if boron (B) is not driven in with energy low enough, it will reach a substrate. Then, in this example, boron (B) was combined and it used for the fluorine (F) which does not affect others.

[0040] At the following step (K), a silicon oxide (SiO<sub>2</sub>) 34 is formed for the above-mentioned p type polysilicon contest layer 32 with a wrap form. Thickness of this silicon oxide 34 was set to 100nm in this example. At the following step (L), patterning processing for forming gate electrode 32a of nMOS transistor of a memory cell, gate electrode 32b of nMOS transistor of a circumference circuit, and gate electrode 32c of pMOS transistor is performed. This is realized by giving etching etc., after forming a mask (not shown) on the silicon oxides 34a and 34b corresponding to the fraction of p type polysilicon contest layer

which it should leave as a gate electrode, and 34c.

[0041] Finally, reference of drawing 7 forms each source / drain field of nMOS transistor of a memory cell, and nMOS transistor of a circumference circuit at a step (M). This is realized by performing the ion implantation of Phosphorus (P) to the whole substrate, after forming a resist 36 on the active region in which pMOS transistor of a circumference circuit is formed. Energy is 20keVs and the dose performed this ion implantation under the condition of  $1 \times 10^{17} \text{m}^{-2}$ .

[0042] Of this step (M), n type source field 38b of n type source field 38a of nMOS transistor of a memory cell and n type drain field 40a, and nMOS transistor of a circumference circuit and n type drain field 40b are formed. In addition, although Phosphorus (P) was used in this example, it may replace with this and an arsenic (As) may be used. A resist 36 is removed after forming this source / drain field.

[0043] At the following step (N), the source / drain field of pMOS transistor of a circumference circuit are formed similarly. This is realized by performing the ion implantation of fluorination boron (BF<sub>2</sub>) to the whole substrate, after forming a resist 42 on the active region in which nMOS transistor of a memory cell and nMOS transistor of a circumference circuit are formed. Energy is 20keVs and the dose performed this ion implantation under the condition of  $1 \times 10^{17} \text{m}^{-2}$ .

[0044] Of this step (N), p type source field 38c of pMOS transistor of a circumference circuit and p type drain field 40c are formed. In addition, the step (M) and the step (N) of sequence being made reverse are natural. A resist 42 is removed at the last step (P). It means that the memory which used p type gate for nMOS transistor of a memory cell, and used p type gate also for nMOS transistor and pMOS transistor of a circumference circuit by this, respectively was produced.

[0045] The concentration near the channel of nMOS transistor of a memory cell was  $2 \times 10^{23} \text{m}^{-3}$  as a result of the process simulation and the device simulation, and when gate length was set to 0.18 micrometers, the threshold voltage was able to acquire 1.3V (substrate bias voltage; -1 V) and the easy sufficiently big value. Moreover, when gate length was set to 0.3 micrometers about nMOS transistor of a circumference circuit, the threshold voltage was 0.4V (substrate bias voltage; -1 V). Moreover, when gate length was set to 0.3 micrometers about pMOS transistor of a circumference circuit, the threshold voltage was 0.7V (substrate bias voltage; 1 V).

[0046] In addition, although thickness of a gate insulator layer was set to 6.5nm in the example mentioned above (refer to step (H)), as thickness of this gate insulator layer, it is appropriate the domain between 1.5nm - 10nm and to select in 3nm - 7nm suitably. The lower limit (1.5nm) in this case is decided from the content indicated by IEDM96 and p105, and an upper limit (10nm) is decided from the content of the conventional technique of this invention.

[0047] Moreover, although the example mentioned above explained the case where comparatively low-concentration source / drain field were formed, it is a next step further and, of course, well-known various processings may be suitably added to this contractor. For example, each silicon oxide formed each gate electrode (32a, 32b, and 32c) and on it (34 a) By making another silicon oxide (SiO<sub>2</sub>) or a silicon nitride (SiN) adhere to the side face of 34b and 34c, forming a side wall spacer in it, and carrying out more high-concentration impurity injection to it to each source / drain field after that Development in considering as rye tree \*\*\*\*\* drain (LDD) structure can be considered.

[0048] Moreover, it is also possible to adopt the structure where the electric conduction matter (for example, the silicide compound which consists of a tungsten (W) and silicon (Si), the silicide compound which consists of titanium (Ti) and silicon (Si)) of low resistance was made to deposit relatively [ upper part / of p type polysilicon contest layer which constitutes each gate electrode (32a, 32b and 32c) ] as a modification of the example mentioned above. Since resistance of the whole gate electrode falls by considering as such structure, reduction-izing of power consumption and enhancement in a working speed can be aimed at.

[0049] Furthermore, although the example mentioned above explained the case where a silicon oxide was used as a gate insulator layer, you may be made to form a gate insulator layer with materials other than a silicon oxide. In order to prevent that the boron in p type gate (B) is especially spread in a substrate through a gate insulator layer, it is desirable to use a silicon nitride (SiN), a silicon acid nitride (SiON), etc. in this case, a conversion thickness [ as opposed to / as mentioned above, convert into a silicon oxide the thickness of the gate insulator layer formed with the concerned material, and it is selected in the domain between 1.5nm - 10nm, and / a silicon oxide ] -- the specific inductive capacity of the thickness x silicon oxide of the concerned material / specific inductive capacity of the concerned material -- it is come out and expressed

[0050]

[Effect of the Invention] High concentration-ization of the substrate concentration needed for implementation of a desired threshold voltage can be suppressed proper, without causing most increases in the whole manufacturing process by using the gate electrode of all MOS transistors used as p type according to this invention, as explained above. By this, it is enabled to prevent aggravation of a retention property.

---

[Translation done.]